

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

11011 U.S. PRO
09/921578
08/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年11月24日

出願番号

Application Number:

特願2000-357019

願人

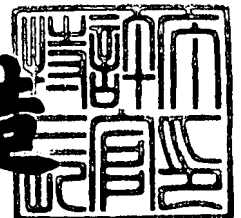
Applicant(s):

富士通株式会社

2001年 1月19日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3113992

【書類名】 特許願

【整理番号】 0000893

【提出日】 平成12年11月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/02

【発明の名称】 半導体集積回路

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 難波 広美

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 水谷 徹

【発明者】

 【住所又は居所】 北海道札幌市北区北七条西四丁目3番地1号 富士通北海道デジタル・テクノロジー株式会社内

 【氏名】 池下 良

【発明者】

 【住所又は居所】 北海道札幌市北区北七条西四丁目3番地1号 富士通北海道デジタル・テクノロジー株式会社内

 【氏名】 竹藪 雅人

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100092587

 【弁理士】

【氏名又は名称】 松本 眞吉

【電話番号】 0426-20-7053

【手数料の表示】

【予納台帳番号】 004880

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 出力のスルーレートがバイアス電流に依存する被調整回路と

、
該バイアス電流と実質的に同じ値のバイアス電流が流れる、該被調整回路のレプリカ回路と、

出力をリセットし、該レプリカ回路に所定値をステップ入力してから第 1 時間経過した後の第 1 出力信号と第 2 時間経過した後の第 2 出力信号との差を所定回数求め、該差を累積加算する、という処理を繰り返す評価回路と、

この累積加算した値を設定値と比較する比較回路と、

該所定回数毎に、該比較回路の比較結果に応じて該バイアス電流を変化させるバイアス調整回路と、

を有することを特徴とする半導体集積回路。

【請求項 2】 上記評価回路は、

上記第 1 出力信号と上記第 2 出力信号との差を積分する減算・積分回路と、

制御回路とを有し、該制御回路は、

(1) 該減算・積分回路の積分値をリセットさせ、

(2) 該レプリカ回路をリセットし、次いで該レプリカ回路に所定値を入力させ、この入力後、第 1 時間経過した後又は該第 1 時間経過するまで該レプリカ回路の出力を該第 1 出力信号として該減算・積分回路に供給させ、次いで該レプリカ回路をリセットし、次いで該レプリカ回路に該所定値を入力させ、この入力後、第 2 時間経過した後又は該第 2 時間経過するまで該レプリカ回路の出力を該第 2 出力信号として該減算・積分回路に供給させるという処理を上記所定回数繰り返し、

該 (1) と (2) の処理を繰り返す、

ことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 上記バイアス調整回路は、上記比較回路により上記累積加算値が上記設定値より大きいと判定されたことに応答して上記バイアス電流をステ

ップアップさせ、

上記制御回路は、該累積加算値が該設定値より小さいと判定されたことに応答して動作を停止する、

ことを特徴とする請求項 2 記載の半導体集積回路。

【請求項 4】 上記バイアス調整回路は、上記比較回路により上記累積加算値が上記設定値より小さいと判定されたことに応答して上記バイアス電流をステップダウンさせ、

上記制御回路は、該累積加算値が該設定値より大きい判定されたことに応答して動作を停止する、

ことを特徴とする請求項 2 記載の半導体集積回路。

【請求項 5】 上記バイアス調整回路は、上記比較回路により上記累積加算値が上記設定値より小さいと判定されたことに応答して上記バイアス電流をステップダウンさせ、該累積加算値が該設定値より大きい判定されたことに応答して該バイアス電流をステップアップさせ、

上記制御回路は、該累積加算値と該設定値との差の絶対値が所定値より小さい場合に動作を停止する、

ことを特徴とする請求項 2 記載の半導体集積回路。

【請求項 6】 上記レプリカ回路は相補出力型であり、
上記減算・積分回路は、

相補入出力型演算増幅回路と、

該演算増幅回路の反転入力端と非反転出力端との間に接続された第 1 キャパシタと、

該演算増幅回路の非反転入力端と反転出力端との間に接続された第 2 キャパシタと、

該第 1 及び第 2 キャパシタの電荷をリセットするリセットスイッチ回路と、
第 3 及び第 4 キャパシタと、

該レプリカ回路の相補出力でそれぞれ該第 3 及び該第 4 キャパシタを充電させ又はそれぞれ第 4 及び第 3 キャパシタを充電させ、次いで該第 3 及び該第 4 キャパシタの電荷をそれぞれ該第 1 及び第 2 キャパシタに移すスイッチ回路と、

を有することを特徴とする請求項 3 記載の半導体集積回路。

【請求項 7】 上記減算・積分回路は、

上記第 3 及び第 4 キャパシタの第 1 端をそれぞれ上記演算増幅回路の反転及び非反転入力端に接続させて正接続状態にし又はそれぞれ該演算増幅回路の該非反転及び反転入力端に接続させて逆接続状態にする第 1 極性切換スイッチ回路と、

上記第 3 及び第 4 キャパシタの第 2 端をそれぞれ該演算増幅回路の非反転及び反転出力端に接続させて正接続状態にし又はそれぞれ該演算増幅回路の該反転及び非反転出力端に接続させて逆接続状態にする第 2 極性切換スイッチ回路と、

を有することを特徴とする請求項 6 記載の半導体集積回路。

【請求項 8】 上記制御回路は、上記第 1 及び第 2 極性切換スイッチ回路を共に上記正接続状態にする第 1 期間と、該第 1 及び第 2 極性切換スイッチ回路を共に上記逆接続状態にする第 2 期間とを交互に繰り返し、該第 1 及び第 2 期間の各々において上記 (2) の上記処理を 1 回行うことを特徴とする請求項 7 記載の半導体集積回路。

【請求項 9】 上記被調整回路は、演算増幅回路を有することを特徴とする請求項 1 乃至 7 のいずれか 1 つに記載の半導体集積回路。

【請求項 10】 上記被調整回路はさらに、上記演算増幅回路の入力段に接続されスイッチトキャパシタ回路を有することを特徴とする請求項 9 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、出力のスルーレート（単位時間当たりの出力電圧の変化量）がバイアス電流に依存する被調整回路及び該バイアス電流の値を自動調整する回路を含む半導体集積回路に関する。

【0002】

【従来の技術】

図 9 は、出力のスルーレートがバイアス電流 I_B に依存する被調整回路 11 を含む従来の半導体集積回路 10X のバイアス調整説明図である。

【 0 0 0 3 】

被調整回路 1 1 には、バイアス回路 1 2 からバイアス電流 I_B が供給される。
被調整回路 1 1 の出力端は不図示の回路又は半導体集積回路 1 0 X の出力端子に
接続され、被調整回路 1 1 の出力端から見た負荷インピーダンスは Z_L である。

【 0 0 0 4 】

図 1 0 は、図 9 中の被調整回路 1 1 としての、スイッチトキャパシタ回路と演
算増幅器 1 3 X とを組み合わせたサンプルホールド回路を示す。図 1 0 では、負
荷インピーダンスが容量 C_L で近似できる場合を示している。図 1 1 は、図 1 0
の回路の動作を示す波形図である。

【 0 0 0 5 】

図 1 0 中のスイッチは、図 1 1 に示す 2 相クロック Φ_1 及び Φ_2 で制御され、
クロックの高レベル及び低レベルがそれぞれそのクロックで制御されるスイッチ
のオン及びオフに対応している。スイッチ素子 P_{11} 、 P_{12} 及び P_{13} はクロ
ック Φ_1 で制御され、スイッチ素子 P_{21} 及び P_{22} はクロック Φ_2 で制御され
る。

【 0 0 0 6 】

被調整回路 1 1 の入出力電圧をそれぞれ V_i 及び V_o で表す。クロック Φ_1 が
高レベルのとき、キャパシタ C_2 の両端が接地されてリセットされると共に、キ
ャパシタ C_1 が入力電圧 V_i で充電される。キャパシタ C_1 に充電される電荷量
 Q_1 は、 $C_1 \cdot V_i$ である。次にクロック Φ_2 が高レベルになると、この電荷 Q_1
がキャパシタ C_2 へ移動し、十分なセトリング時間が与えられた場合には、
キャパシタ C_2 の電荷量 Q_2 は $C_2 \cdot V_o$ となる。 $Q_1 = Q_2$ であるので、 V_o
 $= (C_1 / C_2) V_i$ と表される。

【 0 0 0 7 】

被調整回路 1 1 を高速クロックで動作させた場合、被調整回路 1 1 が負荷容量
 C_L に対して十分な駆動能力を有しなければ、スルーレートが不足して $V_o < (C_1 / C_2) V_i$ となり、必要な出力振幅が得られない。

【 0 0 0 8 】

設計においては、製造過程で発生する回路素子特性の偏差、電源電圧及び温度

の最悪条件下において、必要な出力スルーレートが得られるように、演算増幅器 13X に供給するバイアス電流 I_B が決定される。この際、バイアス電流 I_B の変動に伴う演算増幅器 13X の駆動能力の変動及び負荷容量 C_L の変動が考慮される。

【0009】

しかし、通常は最悪条件にならず、消費電力過多となる。

【0010】

図 12 は、同一設計に基づいて製造された被調整回路 11 の異なる条件下での出力電圧 V_o を、図 11 中の時間 $t_1 \sim t_3$ について示す。図 12 中、 V_{LL} は被調整回路 11 が最悪条件下で正常動作するために必要な出力電圧 V_o の下限値を示す。

【0011】

図 9 に戻って、従来ではこの消費電力過多の問題を解決するために、バイアス電流 I_B を調整可能なバイアス回路 12 を半導体集積回路 10X に備え、被調整回路 11 に供給されるバイアス電流 I_B と同じ値のバイアス電流 I_B をバイアス回路 12 から外部に取り出して電流計 14 で測定し、この値が所定範囲内になるように、調整回路 15X によりバイアス電流 I_B を調整するというトリミング調整が行われていた。この調整は、半導体集積回路 10X の製造の最終段階で行われる。

【0012】

【発明が解決しようとする課題】

しかし、負荷インピーダンスの特性偏差や電源電圧及び温度の変動による負荷インピーダンスの値の変化を考慮していないので、負荷インピーダンスの最大値を想定してバイアス電流 I_B を決定しなければならず、省電力化が不十分となる。また、半導体集積回路 10X の製造段階でバイアス電流 I_B の調整作業を行う必要があるので、コスト高となる。

【0013】

本発明の目的は、このような問題点に鑑み、出力のスルーレートがバイアス電流に依存する回路を、製品出荷前にバイアス電流の調整を行うことなく、より省

電力化することができる半導体集積回路を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段及びその作用効果】

本発明による半導体集積回路の一態様では、出力のスルーレートがバイアス電流に依存する被調整回路のレプリカ回路と、バイアス電流自動調整回路とを備え、調整のためにこのレプリカ回路に対し所定の動作を繰り返し実行させる。この自動調整回路は、評価回路と比較回路とバイアス調整回路とを有する。

【 0 0 1 5 】

該評価回路では、その出力をリセットし、該レプリカ回路に所定値をステップ入力してから第1時間経過した後の第1出力信号と第2時間経過した後の第2出力信号との差を所定回数求め、該差を累積加算する、という処理を繰り返す。該比較回路では、この累積加算した値を設定値と比較する。該バイアス調整回路では、バイアス調整回路該所定回数毎に、該比較回路の比較結果に応じて該レプリカ及び該被調整回路のバイアス電流を同じように変化させる。

【 0 0 1 6 】

この半導体集積回路によれば、製造偏差、電源電圧及び周囲温度により該被調整回路のバイアス電流及び出力負荷にばらつきがあっても、それに応じてバイアス電流が適当に自動調整されるので、省電力化が実現できる。また、該自動調整回路の回路素子の寄生容量は、該被調整回路を含む主信号系に影響を与えず、しかも、該主信号系の動作を止めることなくこれと平行して該被調整回路のバイアス電流を自動調整することができる。さらに、該半導体集積回路の製造の最終段階でバイアス電流調整作業を行う必要がなくなり、そのコストを低減することができる。

【 0 0 1 7 】

本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【 0 0 1 8 】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

【 0 0 1 9 】

〔第 1 実施形態〕

図 1 は、出力のスルーレートがバイアス電流に依存する被調整回路 1 1 及びバイアス電流自動調整回路を含む半導体集積回路 1 0 のブロック図である。

【 0 0 2 0 】

被調整回路 1 1 の出力端は、不図示の他の回路又は半導体集積回路 1 0 の出力端子に接続され、被調整回路 1 1 の出力端から見た負荷インピーダンスは Z_L である。半導体集積回路 1 0 内には、被調整回路 1 1 と実質的に同一のレプリカ回路 1 1 R が形成されている。被調整回路 1 1 との同一性をより高めるために、レプリカ回路 1 1 R は被調整回路 1 1 の近くに形成されている。被調整回路 1 1 とレプリカ回路 1 1 R には同じ値のバイアス電流が流れ、この値はバイアス電流調整回路 1 5 により調整可能となっている。レプリカ回路 1 1 R の出力端からみた負荷インピーダンスが被調整回路 1 1 のそれにほぼ等しい値になるように、レプリカ回路 1 1 R の出力端に接続された評価回路 1 6 が設計されている。

【 0 0 2 1 】

評価回路 1 6 は、減算・積分回路 1 7 と制御回路 1 8 とを備え、減算・積分回路 1 7 はスイッチ素子 P 2 A 及び 2 B と積分回路 1 9 とを備えている。

【 0 0 2 2 】

スイッチ素子 P 2 A は、レプリカ回路 1 1 R の出力端と積分回路 1 9 の反転入力端との間に接続され、スイッチ素子 P 2 B は、レプリカ回路 1 1 R の出力端と積分回路 1 9 の非反転入力端との間に接続されている。積分回路 1 9 は、反転入力端と非反転入力端とを備え、非反転入力端に供給された信号と反転入力端に供給された信号との差に比例した値を累積加算し、これを差累積加算電圧 V_D として出力する。累積加算するのは、バイアス電流調整精度を高めるためである。すなわち、該差が極めて微小であり、許容誤差範囲内でこれを直接比較評価することが困難であるので、該差を累積加算する。

【 0 0 2 3 】

差累積加算電圧 V_D は比較器 2 0 の反転入力端に供給され、比較器 2 0 の非反転入力端には基準電圧 V_S が供給される。比較器 2 0 から出力されるイネーブル信号 E_N は、 $V_D > V_S$ のとき高レベル、 $V_D < V_S$ のとき低レベルである。

【0024】

制御回路18は、レプリカ回路11R及び減算・積分回路17に対しタイミング信号を供給して、レプリカ回路11R及び減算・積分回路17を後述のように周期的に動作させ、減算・積分回路17がN回繰り返し動作した後にイネーブル信号ENが高レベルであれば、すなわち $V_D > V_S$ であれば、バイアス電流調整回路15に調整信号APのパルスを供給する。バイアス電流調整回路15はこのパルスに応答して、レプリカ回路11R及び被調整回路11のバイアス電流を、その値が最適値に収束する方向へ1ステップ調整する。

【0025】

図2は、図1の一部の構成例を示す。

【0026】

被調整回路11は、電源電位VDDとグランドとの間に回路21とFET22とが直列接続されている。レプリカ回路11RのFET21R及び22Rはそれぞれ被調整回路11のFET21及び22に対応している。

【0027】

バイアス電流調整回路15は、カウンタ23と、その計数値が供給されるD/A変換器24とを備え、D/A変換器24の出力がゲート電圧VGとしてFET22及びFET22Rのゲートに供給される。FET22及びFET22Rには、ゲート電圧VGの値に応じたバイアス電流IBが流れる。ゲート電圧VGが上昇すると、バイアス電流IBが増加して回路21及び21Rの出力スルーレートが高くなる。

【0028】

制御回路18では、クロックCLKがゲート回路25を介してタイミング発生回路26に供給される。タイミング発生回路26は、このクロックCLKに基づいて、図1のレプリカ回路11R及び減算・積分回路17に対するタイミング信号を生成する。タイミング発生回路26はまた、パルス周期が比較判定周期（図3のステップS7で $K=N$ と判定される周期）に等しい判定サイクル信号JCSを生成してアンドゲート28の一方の入力端に供給する。アンドゲート28の他方の入力端にはイネーブル信号ENが供給され、イネーブル信号ENが高レベル

の間、判定サイクル信号 J C S のパルスがアンドゲート 2 8 を介し調整信号 A P としてカウンタ 2 3 のクロック入力端 C K に供給される。ゲート回路 2 5 は、電源投入後、クロック C L K に対しスルー状態になり、この状態がフリップフロップに保持され、判定サイクル信号 J C S のパルス立ち上がりでイネーブル信号 E N が低レベルになると、このフリップフロップがリセットされてクロック C L K に対し遮断状態になり、制御回路 1 8 の動作が停止、すなわちバイアス電流自動調整動作が完了する。

【 0 0 2 9 】

図 3 は、図 1 の制御回路 1 8 による制御のシーケンスを示すフローチャートである。図 4 (A) ~ (C) は、図 1 中の出力電圧 V_o の波形並びにスイッチ素子 P 2 A 及び P 2 B のオン／オフ波形を示す。以下、括弧内は図 3 中のステップ識別符号である。

【 0 0 3 0 】

(S 1) 積分回路 1 9 をリセットしてその出力 V_D を 0 V にする。また、内部カウンタ K に初期値 1 をロードし、図 2 のカウンタ 2 3 に初期値をロードする。

【 0 0 3 1 】

(S 2) レプリカ回路 1 1 R をリセットしてその出力電圧 V_o を 0 V にする。

【 0 0 3 2 】

(S 3) レプリカ回路 1 1 R に対し、入力電圧 V_i をステップ入力させる。これにより、出力電圧 V_o が例えば図 4 (A) に示す如く立ち上がる。

【 0 0 3 3 】

(S 4) カウンタ K が奇数であればステップ S 5 へ進み、偶数であればステップ S 6 へ進む。

【 0 0 3 4 】

(S 5) レプリカ回路 1 1 R に入力電圧 V_i をステップ入力してから時間 t_1 経過するまで、図 4 (A) に示す如くスイッチ素子 P 2 B をオンにし、積分回路 1 9 に対し、スイッチ素子 P 2 B がオンからオフに移る時の出力電圧 V_o の値 V_{o1} を V_D に加算させる。次にステップ S 7 へ進む。

【 0 0 3 5 】

(S 6) レプリカ回路 1 1 R に入力電圧 V_i をステップ入力してから時間 t_2 経過するまで、図 4 (A) に示す如くスイッチ素子 P 2 A をオンにし、積分回路 1 9 に対し、スイッチ素子 P 2 A がオンからオフに遷移する時の出力電圧 V_o の値 V_{o2} を V_D から減算させる。

【 0 0 3 6 】

(S 7) $N < K$ であればステップ S 8 へ進み、 $N = K$ であればステップ S 9 へ進む。

【 0 0 3 7 】

(S 8) カウンタ K の値を 1 だけインクリメントし、ステップ S 2 へ戻る。

【 0 0 3 8 】

ステップ S 1 ~ S 8 の処理を 2 回繰り返す毎に、 $\Delta V = V_{o1} - V_{o2}$ が V_D に加算される。一般には、差電圧 ΔV に比例した値が V_D に加算される。

【 0 0 3 9 】

(S 9) 図 2 中の判定サイクル信号 J C S が立ち上がり、この時イネーブル信号 E N が高レベル (' H ')、すなわち $V_D > V_S$ であれば、ステップ S 1 0 へ進み、そうでなければ図 2 においてクロック C L K がタイミング発生回路 2 6 に供給されず、制御回路 1 8 の動作が停止する。調整信号 A P のパルスがカウンタ 2 3 に供給されなくなり、カウンタ 2 3 の出力が固定されるので、ゲート電圧 V_G 及びバイアス電流 I_B も固定される。これにより、バイアス電流自動調整が完了する。

【 0 0 4 0 】

(S 1 0) 図 2 において、判定サイクル信号 J C S のパルスがアンドゲート 2 8 を通り、調整信号 A P のパルスとしてカウンタ 2 3 のクロック入力端 C K に供給される。次に、ステップ S 1 へ戻る。

【 0 0 4 1 】

図 4 (A) ~ (C) の出力電圧 V_o の波形に対応するゲート電圧 V_G の値をそれぞれ V_{G1} 、 V_{G2} 及び V_{G3} で表すと、 $V_{G1} < V_{G2} < V_{G3}$ である。すなわち、図 4 (A) よりも図 4 (B) の場合の方がバイアス電流 I_B の値が大きく、図 4 (B) よりも図 4 (C) の場合の方がバイアス電流 I_B の値が大きい。

バイアス電流 I_B の値が大きいほど、出力電圧 V_O の立ち上がり時間が短くなって差電圧 ΔV が小さくなり、これを N 回積算した V_D の値も小さくなる。 V_D の値が小さいほど消費電力が大きくなるので、消費電力過多を防止でき且つ被調整回路 11 が正常動作する適当な V_D の値を予め求めておき、この値を基準電圧 V_S としておく。

【 0 0 4 2 】

ゲート電圧 V_G は調整信号 A_P のパルスに応答して、図 5 (A) に示すように階段状に変化する。

【 0 0 4 3 】

本実施形態によれば、被調整回路 11 に対し上述のようなバイアス電流自動調整回路が半導体集積回路 10 に備えられているので、製造偏差、電源電圧及び周囲温度により被調整回路 11 のバイアス電流及び出力負荷にばらつきがあっても、それに応じてバイアス電流が適当に自動調整され、省電力化が実現できる。また、半導体集積回路 10 の製造の最終段階でバイアス電流調整作業を行う必要がなくなり、そのコストを低減することができる。さらに、被調整回路 11 に対応してレプリカ回路 11R を備え、その出力を用いて自動調整を行っているので、自動調整回路の回路素子の寄生容量が主信号系に影響を与えず、しかも、主信号系の動作を止めることなくこれと平行して被調整回路 11 のバイアス電流を自動調整することができる。

【 0 0 4 4 】

なお、バイアス電流 I_B を収束させるのに他の方法を採用してもよい。例えば、カウンタ 23 をダウンカウンタで置き換え、図 1 中の比較器 20 の非反転入力端及び反転入力端にそれぞれ基準電圧 V_S 及び差累積加算電圧 V_D を供給するようにしてもよい。この場合、ゲート電圧 V_G は図 5 (B) に示すように変化する。また、図 2 のカウンタ 23 及びアンドゲート 28 を用いずに、判定サイクル信号 JCS のパルスが供給される毎に、イネーブル信号 EN の符号に応じて $1/2$ 探索方でゲート電圧 V_G を図 5 (C) に示す如く変化させ、差累積加算電圧 V_D と基準電圧 V_S との差の絶対値が設定値 ε 以下になるまでこれを繰り返すようにしてもよい。

【 0 0 4 5 】

図 6 及び図 7 はそれぞれ、図 1 中のレプリカ回路 1 1 R 及び減算・積分回路 1 7 の構成例を示す。これらの回路は、相補入出力型である。図 8 は、クロック C L K と、図 6 及び図 7 の回路に供給される制御信号と、図 2 中の判定サイクル信号 J C S とを示す。図 8 は図 3 中の N の値が 4 である場合を示している。

【 0 0 4 6 】

このレプリカ回路 1 1 R は、スイッチトキャパシタ回路と相補入出力型演算増幅器 1 3 とを組み合わせたサンプルホールド回路であり、図 1 0 の被調整回路 1 1 に類似している。図 6 中のスイッチ素子には、図 1 0 中の対応するものと同じ符号を付している。図 6 の回路では、図 1 0 中にないスイッチ素子として、P 1 4 及び P 2 3 を備えている。

【 0 0 4 7 】

スイッチ素子 P 1 4 は、レプリカ回路 1 1 R のリセット時に演算増幅器 1 3 の反転入力端と非反転出力端との間及び非反転入力端と反転出力端との間を短絡して、演算増幅器 1 3 の相補入出力を同電位、例えば 1 . 4 V にしてオフセットを 0 V にするためのものである。スイッチ素子 P 2 3 は、このリセット時に演算増幅器 1 3 の出力をキャパシタ C 2 1 及び C 2 2 から切り離して、キャパシタ C 2 1 及び C 2 2 を演算増幅器 1 3 とは異なるグランド電位にリセットするためである。

【 0 0 4 8 】

スイッチ素子 P 1 1 ~ P 1 4 は、クロック C L K を 4 分周した図 8 中のクロック $\Phi 1$ によりオン／オフ制御され、クロック $\Phi 1$ が高レベルのときこれらスイッチがオンになる。スイッチ素子 P 2 1 ~ P 2 3 は、クロック $\Phi 1$ と逆相のクロック $\Phi 2$ によりオン／オフ制御され、クロック $\Phi 2$ が高レベルのときこれらスイッチがオンになる。キャパシタ C 1 1 及び C 1 2 は互いに同一容量値であり、図 1 0 のキャパシタ C 1 に対応している。キャパシタ C 2 1 及び C 2 2 は互いに同一容量値であり、図 1 0 のキャパシタ C 2 に対応している。

【 0 0 4 9 】

レプリカ回路 1 1 R には、相補入力信号として例えば $V_{ip} = 1.6 V$ 、 V_i

$m = 1$ 、 $2V$ が供給される。

【0050】

図6の回路の動作は、上述した図10のそれから容易に理解できるので、その説明を省略する。

【0051】

図7の減算・積分回路17は、図6のレプリカ回路11Rと類似しており、相補入出力型演算増幅器30、極性切換回路31、スイッチ素子P15、キャパシタCL1及びCL2、C31及びC32、極性切換回路32はそれぞれ図6の演算増幅器13、スイッチ素子P11、P21、キャパシタC11及びC12、C21及びC22、スイッチ素子P22に対応している。

【0052】

スイッチ素子P2A及びP2Bを平行及びクロス接続（正逆接続）した極性切換回路31は、電荷量の加減算を可能にするためのものであり、スイッチ素子P23をオン、スイッチ素子P15及びP16をオフにした状態で、出力電圧 V_o 及び V_m でそれぞれキャパシタCL1及びCL2を充電し又はキャパシタCL2及びCL1を充電して、次にこれらの電荷をキャパシタC31及びC32に移すと、キャパシタC31及びC32の積算電荷に対し加算及び減算が行われる。

【0053】

キャパシタCL1及びCL2の容量値は、図6の回路の出力端からみた負荷インピーダンスが図1中の負荷インピーダンス Z_L にほぼ等しくなるように定められる。

【0054】

キャパシタCL1及びCL2の電荷は、極性切換回路32及び33が正又は逆の接続状態でスイッチ素子P23をオフにしスイッチ素子P15及びP16をオンにすることにより、それぞれキャパシタC31及びC32に移動する。

【0055】

極性切換回路32及び33はオフセット電圧相殺用であり、極性切換回路32及び33を正接続状態にしてキャパシタCL1及びCL2の電荷をそれぞれキャ

パシタC31及びC32に移した時にキャパシタC31及びC32に加算されるオフセット電圧の極性と、極性切換回路32及び33を逆接続状態にしてキャパシタCL1及びCL2の電荷をそれぞれキャパシタC31及びC32に移した時にキャパシタC31及びC32に加算されるオフセット電圧の極性が逆になって、オフセット電圧が相殺される。

【0056】

リセットスイッチ素子RSW1及びRSW2は、キャパシタC31及びC32の電荷をリセットするためのものである。

【0057】

スイッチ素子P2A及びP2Bはそれぞれ図8中のクロックΦ2A及びクロックΦ2Bにより制御される。スイッチ素子P15及びP16は、図6中のスイッチ素子P11～P14と共に図8中のクロックΦ1により制御される。スイッチ素子P23は、図6中のスイッチ素子P21～P23と共に、図8中のクロックΦ2により制御される。スイッチ素子P31及びP32は図8中のクロックΦ3により制御される。スイッチ素子P41及びP42は図8中のクロックΦ4により制御される。リセットスイッチ素子RSW1及びRSW2は図8中のクロックΦRSTにより制御される。図8中のスイッチ素子制御用クロックはいずれも、高レベル及び低レベルがそれぞれこのクロックで制御されるスイッチ素子のオン及びオフに対応している。

【0058】

相補出力電圧VDpとVDmの差電圧が図1中の差累積加算電圧VDに対応しており、これが基準電圧VSと比較器20（図1）で比較される。

【0059】

次に、図7の回路の動作を、図8を参照して説明する。

【0060】

(t1～t2) リセットスイッチ素子RSW1及びRSW2がオンであり、減算・積分回路17がリセット、すなわちキャパシタC31及びC32の電荷がリセットされる。

【0061】

($t_2 \sim t_9$) リセットスイッチ素子 R S W 1 及び R S W 2 はオフである。時間 $t_2 \sim t_7$ ではスイッチ素子 P 4 1 及び P 4 2 がオン、スイッチ素子 P 3 1 及び P 3 2 がオフであり、次の時間 $t_7 \sim t_9$ ではこの逆である。

【 0 0 6 2 】

時間 $t_2 \sim t_7$ の詳細は次の通りである。

【 0 0 6 3 】

($t_3 \sim t_4$) スイッチ素子 P 2 A がオン、スイッチ素子 P 2 B がオフ、スイッチ素子 P 1 5 及び P 1 6 がオフ、スイッチ素子 P 2 3 がオンであり、キャパシタ C L 1 及び C L 2 がそれぞれ出力電圧 V_{op} 及び V_{om} で充電される。 t_4 でスイッチ素子 P 2 A がオフになり、この時の出力電圧 V_{op} 及び V_{om} の電圧がそれぞれキャパシタ C L 1 及び C L 2 に保持される。

【 0 0 6 4 】

($t_5 \sim t_6$) スイッチ素子 P 2 3 がオフ、スイッチ素子 P 1 5 及び P 1 6 がオンであり、キャパシタ C L 1 及び C L 2 の電荷がそれぞれキャパシタ C 3 1 及び C 3 2 に移動する。

【 0 0 6 5 】

($t_6 \sim t_7$) スイッチ素子 P 2 A がオフ、スイッチ素子 P 2 B がオン、スイッチ素子 P 1 5 及び P 1 6 がオフ、スイッチ素子 P 2 3 がオンであり、キャパシタ C L 1 及び C L 2 がそれぞれ出力電圧 V_{om} 及び出力電圧 V_{op} で充電される。 t_7 でスイッチ素子 P 2 B がオフになり、この時の出力電圧 V_{om} 及び出力電圧 V_{op} の電圧がそれぞれキャパシタ C L 1 及び C L 2 に保持される。

【 0 0 6 6 】

時間 $t_7 \sim t_{10}$ の詳細は、次の通りである。

【 0 0 6 7 】

($t_7 \sim t_8$) スイッチ素子 P 2 3 がオフ、スイッチ素子 P 1 5 及び P 1 6 がオンであり、キャパシタ C L 1 及び C L 2 の電荷がそれぞれキャパシタ C 3 1 及び C 3 2 に移動する。

【 0 0 6 8 】

時間 $t_8 \sim t_{10}$ においては、上記 $t_3 \sim t_8$ と同様な動作が行われる。但し

、 t_{10} でキャパシタC31及びC32がリセットされる直前に、判定サイクル信号JCSのパルスが図2のタイミング発生回路26から出力される。

【0069】

このような動作により、図1について説明した動作が実行される。

【0070】

なお、本発明には外にも種々の変形例が含まれる。

【0071】

例えば、バイアス電流自動調整処理は、電源投入時のみならず、一定時間おき、システムリセット時、温度又は電源電圧が設定範囲外になった時などに開始するようにしてもよい。また、被調整回路11は、出力スルーレートがバイアス電流に依存するものであればよい。

【図面の簡単な説明】

【図1】

本発明の一実施形態の、出力のスルーレートがバイアス電流に依存する被調整回路及びバイアス電流自動調整回路を含む半導体集積回路のブロック図である。

【図2】

図1の一部の構成例を示すブロック図である。

【図3】

図1の制御回路による制御のシーケンスを示すフローチャートである。

【図4】

(A)～(C)はいずれも、図1中の出力電圧 V_o の波形並びにスイッチ素子P2A及びP2Bのオン／オフ波形を示す図である。

【図5】

(A)～(C)はそれぞれステップアップ、ステップダウン及び1/2探索法でバイアス電流を自動調整する場合のバイアス電流調整回路の出力値の時間的変化を示す線図である。

【図6】

図1中のレプリカ回路の構成例を示す図である。

【図7】

図 1 中の減算・積分回路の構成例を示す図である。

【図 8】

基準クロック CLK と、図 6 及び図 7 の回路のスイッチ素子に供給される制御信号と、図 2 中の判定サイクル信号 JCS とを示すタイミングチャートである。

【図 9】

出力のスルーレートがバイアス電流に依存する被調整回路を含む従来の半導体集積回路のバイアス調整説明図である。

【図 10】

図 9 中の被調整回路としての、スイッチトキャパシタ回路と演算増幅器とを組み合わせたサンプルホールド回路を示す図である。

【図 11】

図 10 の回路の動作を示す波形図である。

【図 12】

同一設計に基づいて製造された被調整回路の異なる条件下での出力電圧 V_o の波形を、図 11 中の時間 $t_1 \sim t_3$ について示す図である。

【符号の説明】

- 10 半導体集積回路
- 11 被調整回路
- 11R レプリカ回路
- 12 バイアス回路
- 13、30 相補入出力型演算増幅器
- 15 バイアス電流調整回路
- 16 評価回路
- 17 減算・積分回路
- 18 制御回路
- 19 積分回路
- 20 比較器
- 22、22R FET
- 23 カウンタ

2 4 D / A 変換器

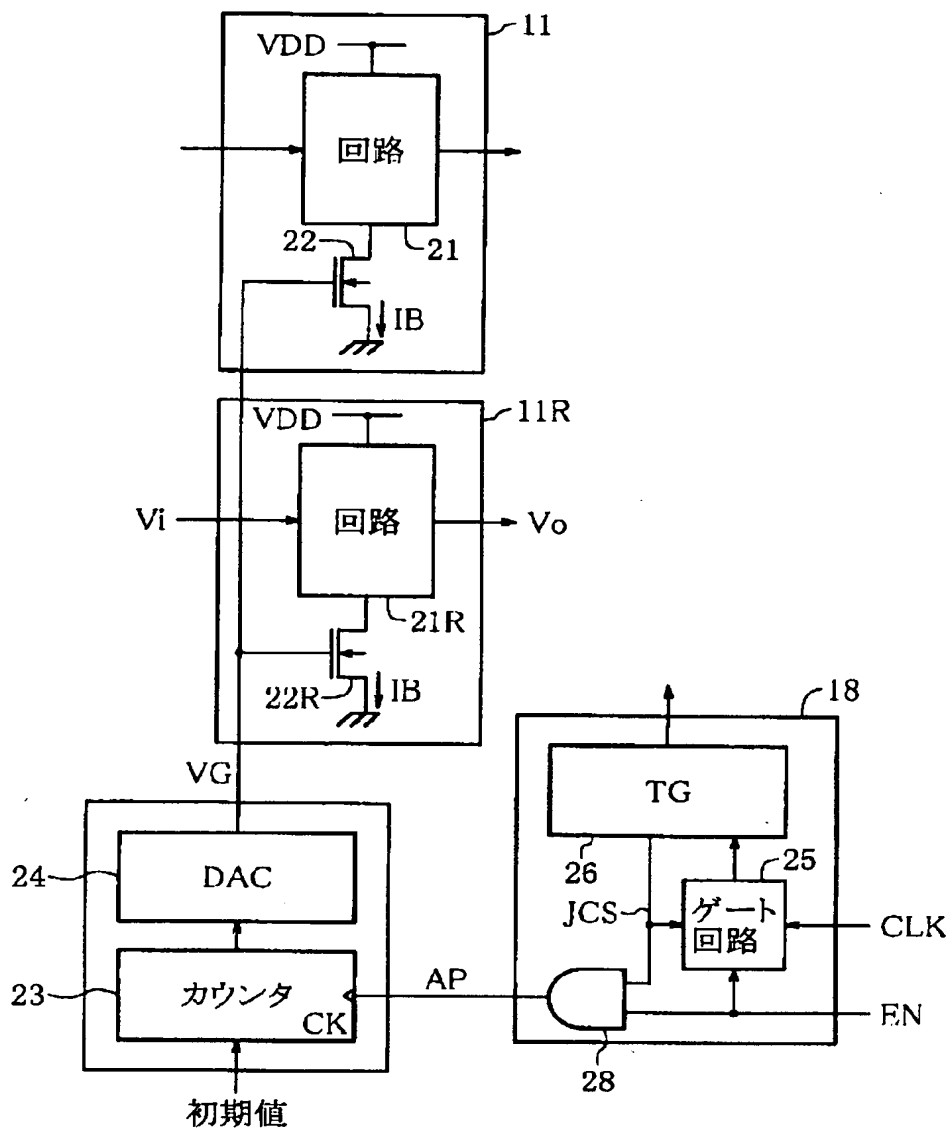
2 5 ゲート回路

2 6 タイミング発生回路

3 1 ~ 3 3 極性切換回路

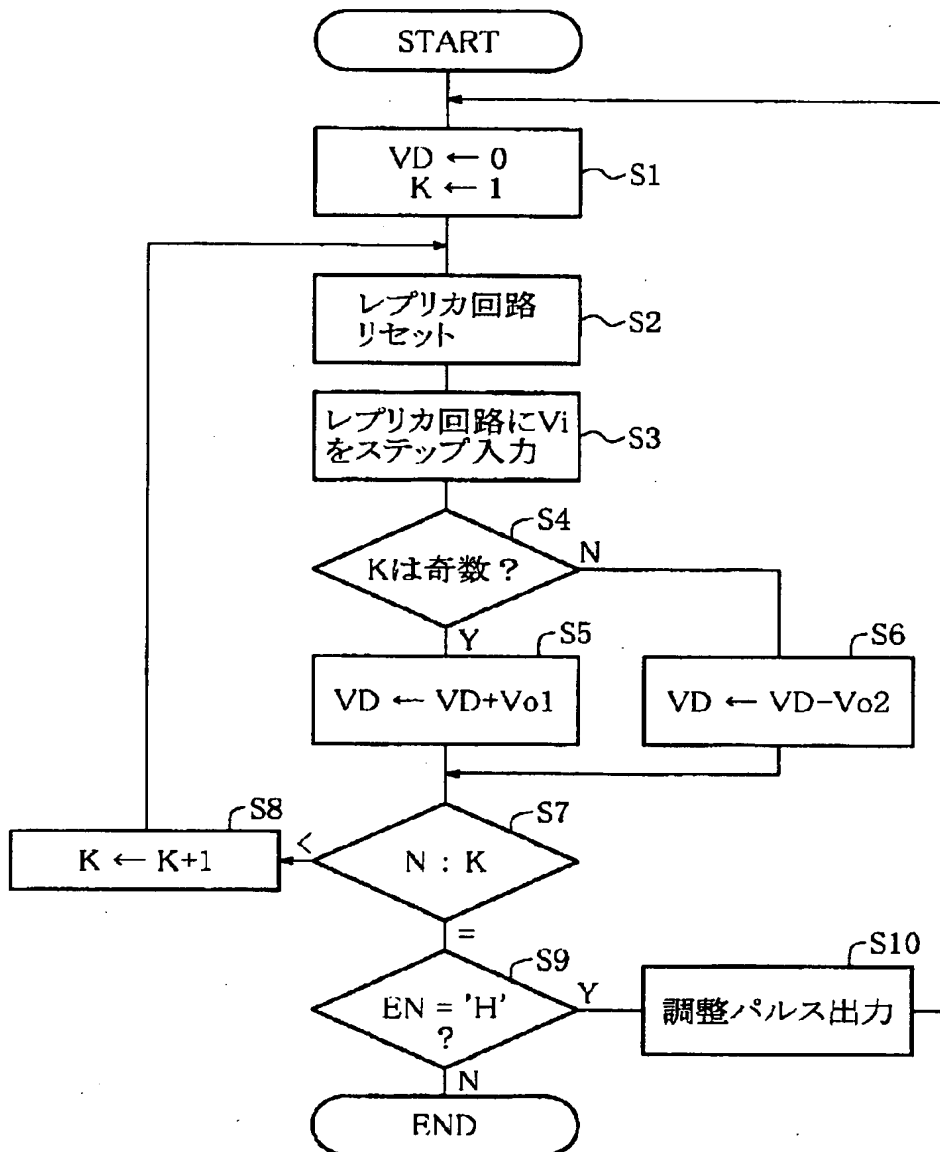
【図 2】

図1の一部の構成例を示すブロック図



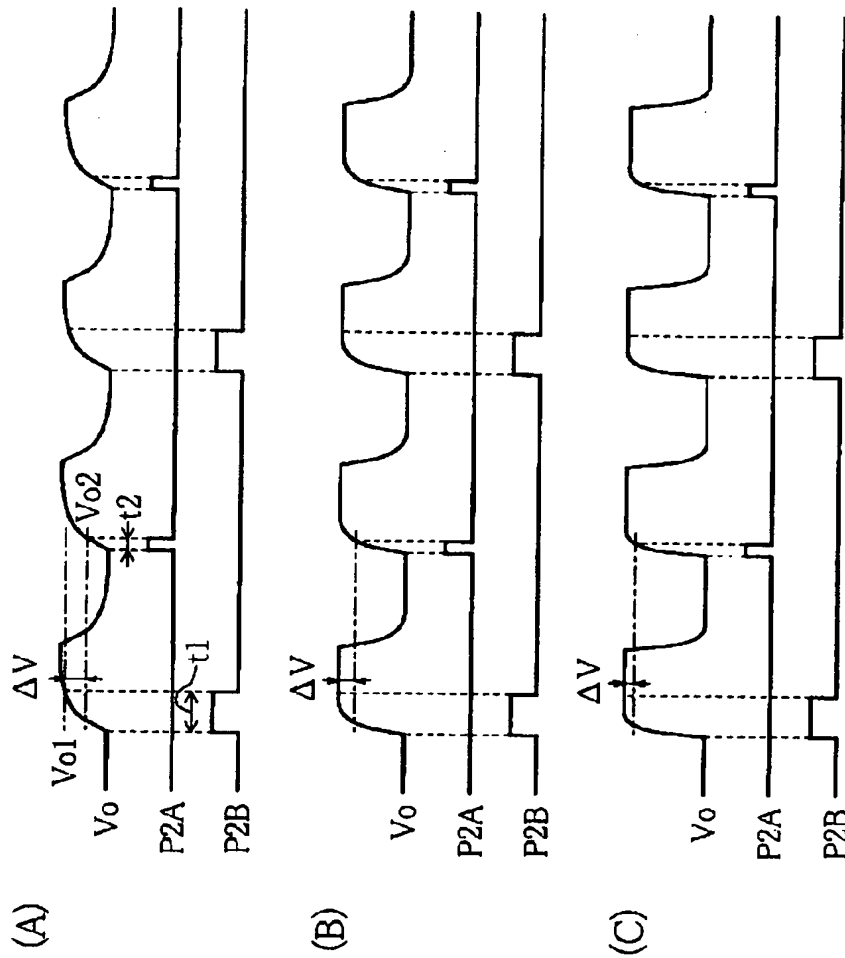
【図 3】

図1の制御回路による制御のシーケンスを示すフローチャート



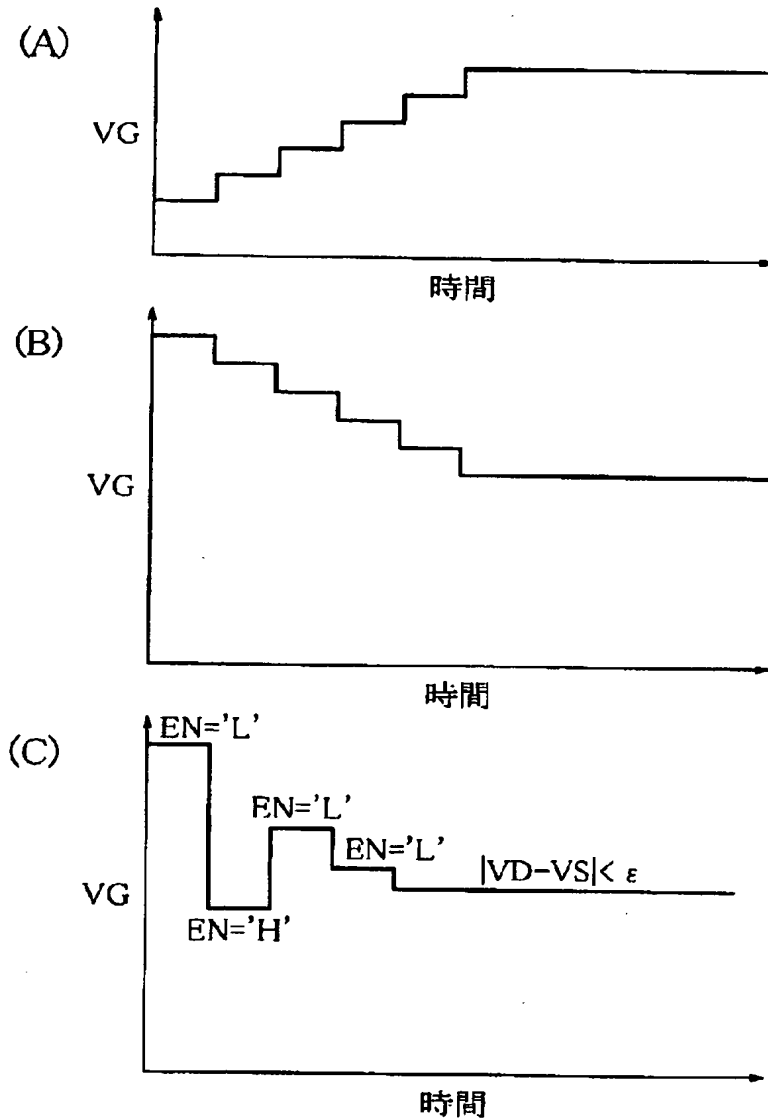
【図 4】

(A)～(C)はいずれも、図1中の出力電圧 V_o の波形
並びにスイッチ素子P2A及びP2Bのオン／オフ波形
を示す図



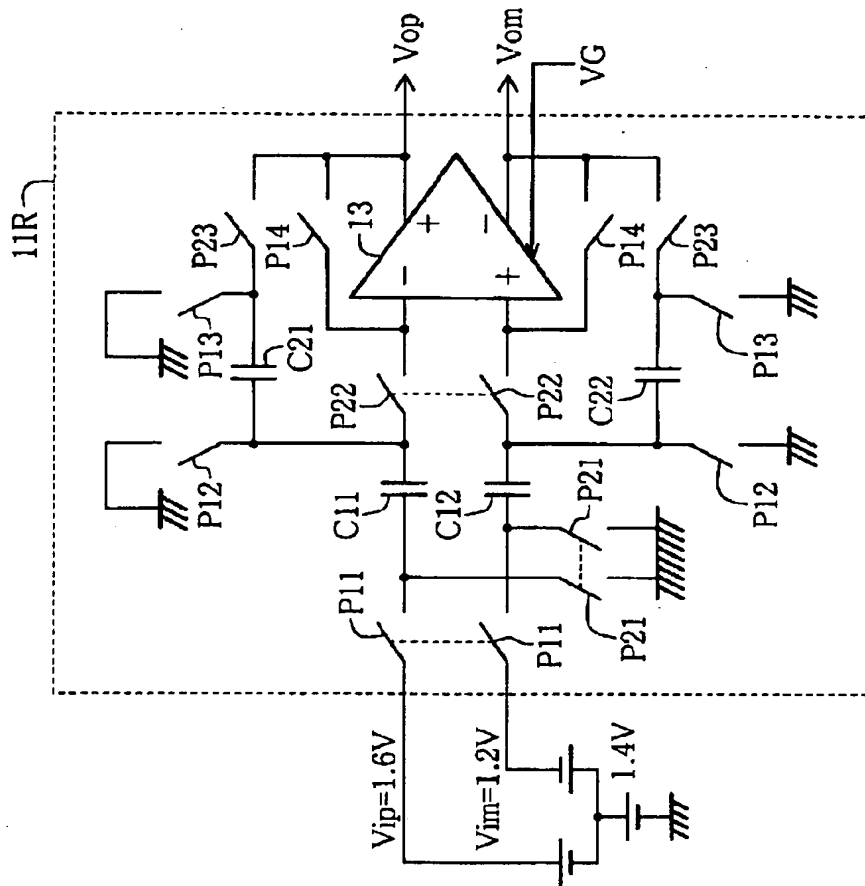
【図 5】

(A)～(C)はそれぞれステップアップ、ステップ
 ダウン及び1/2探索法でバイアス電流を自動
 調整する場合のバイアス電流調整回路の出力
 値の時間的变化を示す線図



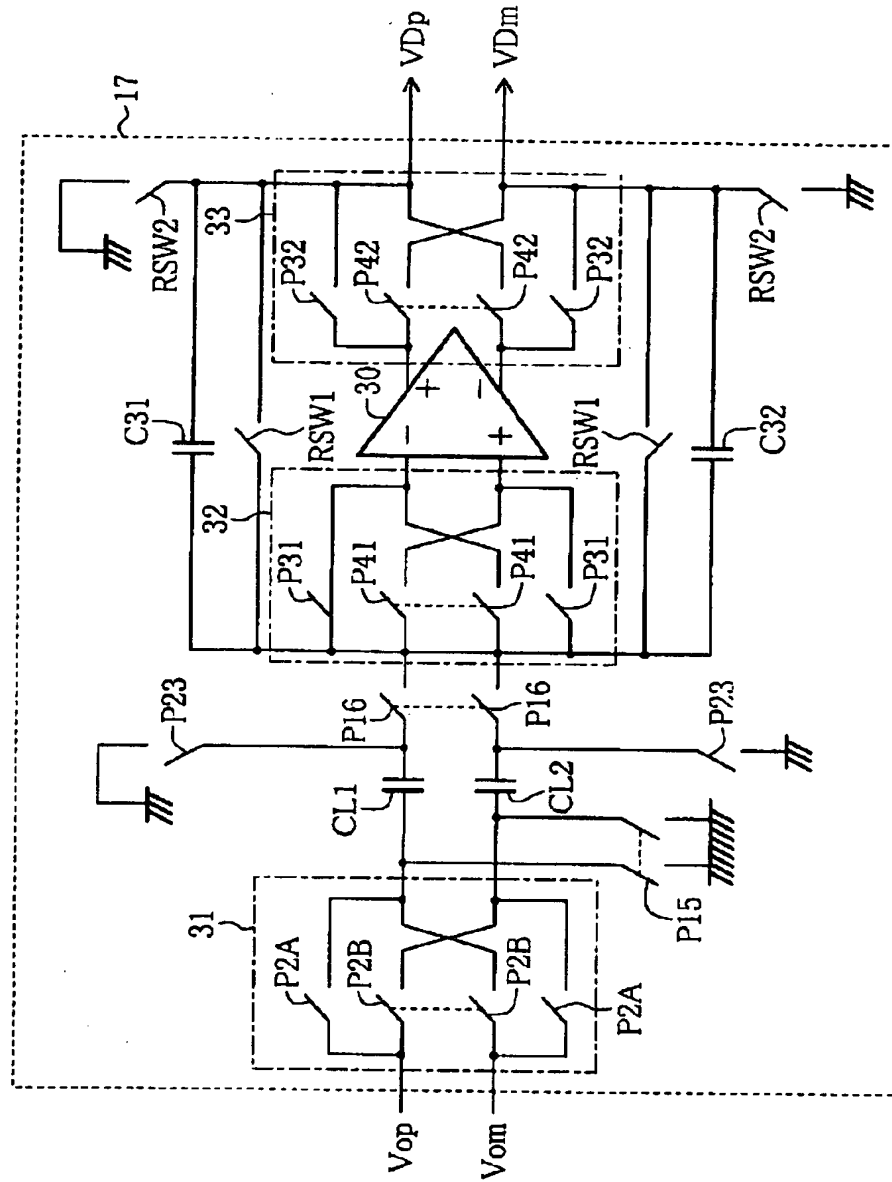
【図 6】

図 1 中のレプリカ回路の構成例を示す図



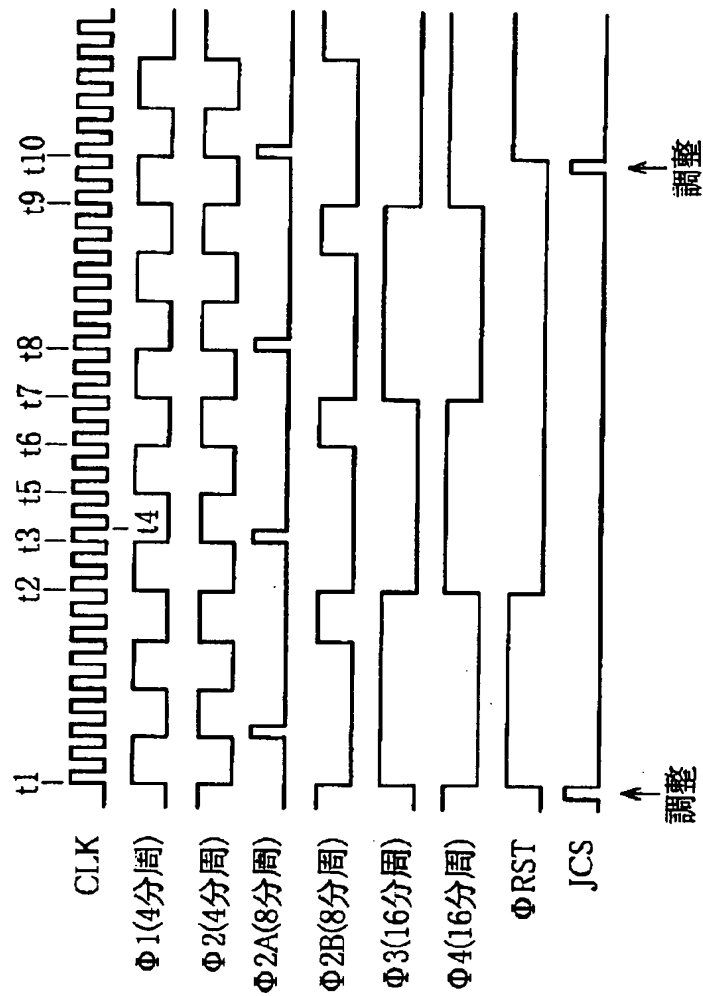
【図 7】

図 1 中の減算・積分回路の構成例を示す図



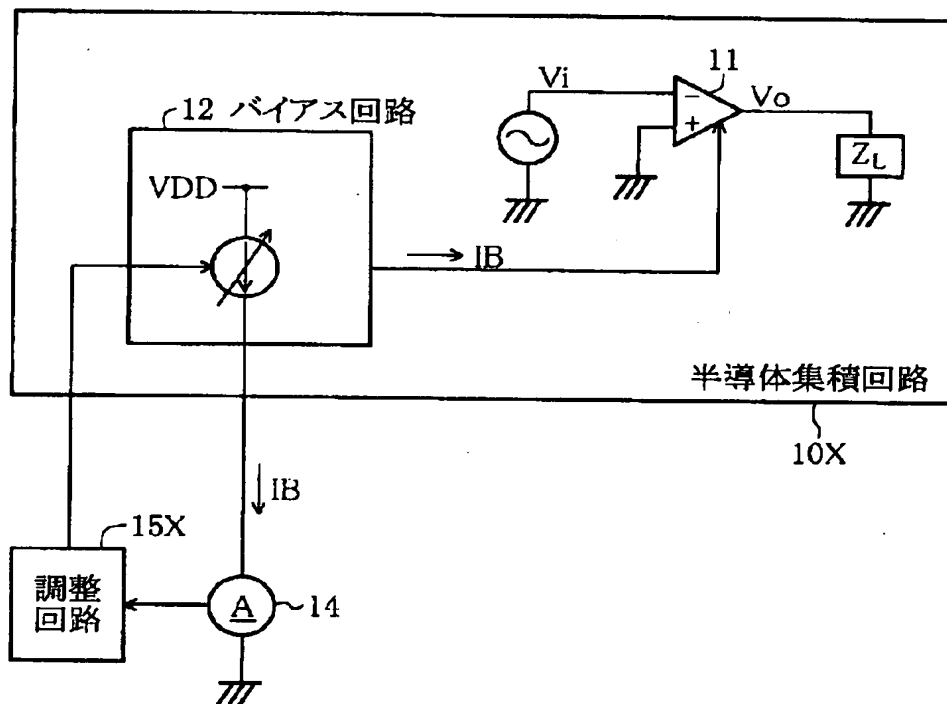
【図 8】

基準クロックCLKと、図6及び図7の回路のスイッチ素子に供給される制御信号と、図2中の判定サイクル信号JCSとを示すタイミングチャート



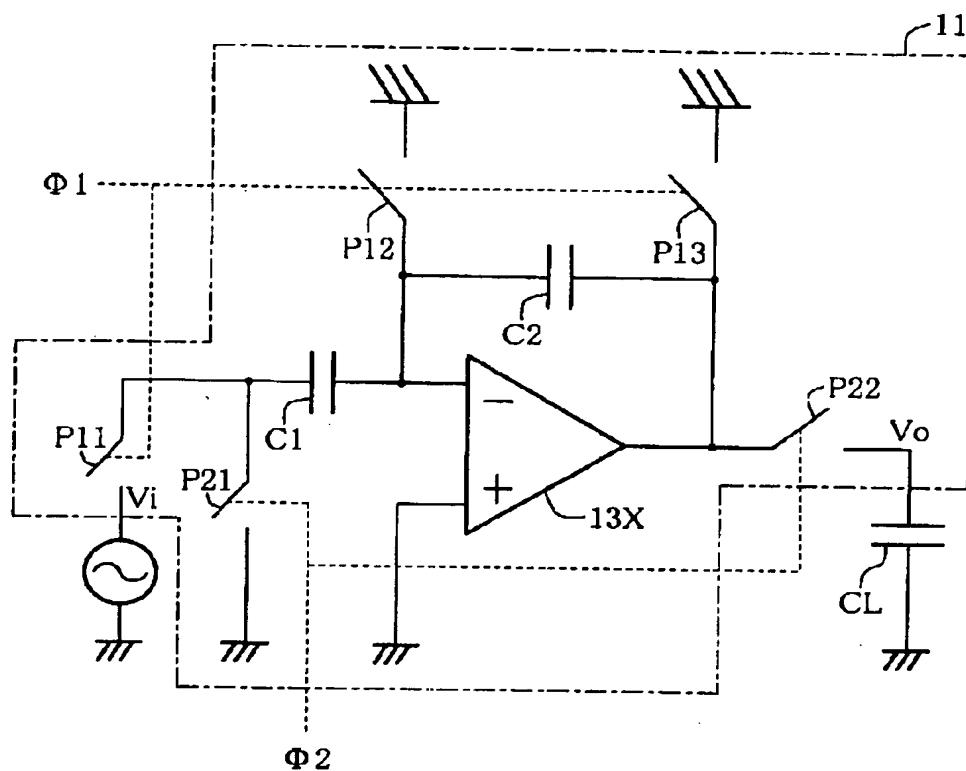
【図 9】

出力のスルーレートがバイアス電流に依存する
被調整回路を含む従来の半導体集積回路の
バイアス調整説明図



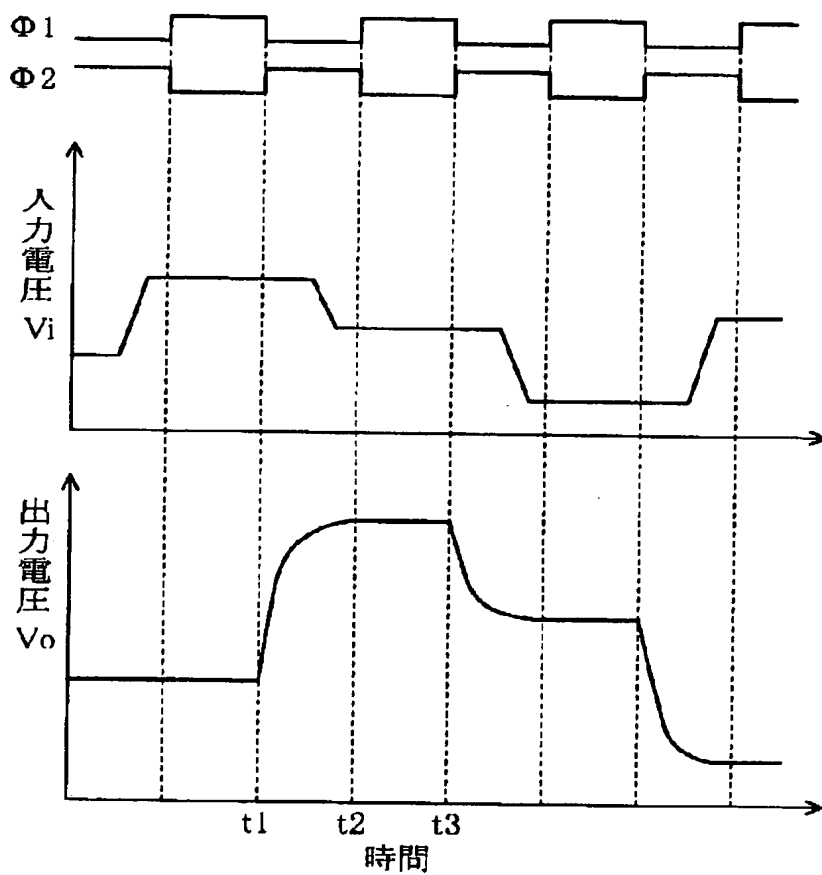
【図 1 0】

図9中の被調整回路としての、スイッチトキャパシタ回路と演算増幅器とを組み合わせたサンプルホールド回路を示す図



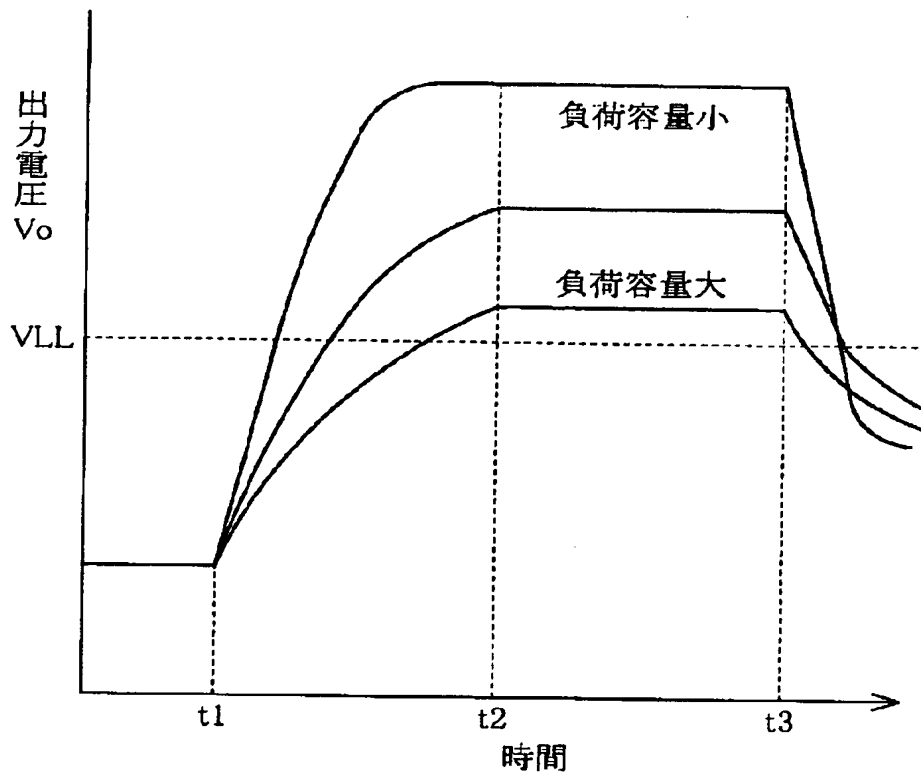
【図 1 1】

図10の回路の動作を示す波形図



【図 1 2】

同一設計に基づいて製造された被調整回路の異なる条件下での出力電圧 V_o の波形を、図11中の時間 $t_1 \sim t_3$ について示す図



【書類名】 要約書

【要約】

【課題】出力のスルーレートがバイアス電流に依存する回路を、製品出荷前にバイアス電流の調整を行うことなく、より省電力化する。

【解決手段】評価回路 1 6 では、その出力をリセットし、レプリカ回路 1 1 R に電圧 V_i をステップ入力してから時間 t_1 経過した後と時間 t_2 経過した後のレプリカ回路 1 1 R の出力電圧 V_o の差を所定回数求め、該差を累積加算する、という処理を繰り返す。比較回路 2 0 では、累積加算電圧 V_D を基準電圧 V_S と比較する。バイアス調整回路 1 5 は、該所定回数毎に、 $V_D > V_S$ であればレプリカ 1 1 R 及び被調整回路 1 1 のバイアス電流をステップアップさせ、 $V_D < V_S$ であれば調整を終了する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社